

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007480467

WPI Acc No: 88-114401/198817

XRPX Acc No: N88-086919

Electrostatic discharge protection network for transducer arrays - has resistors connected to transducer addressing circuits to equalise potential of array during electrostatic discharge to any element

Patent Assignee: XEROX CORP (XERO)

Inventor: TUAN H C

Number of Countries: 008 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 265290	A	19880427	EP 87309426	A	19871026		198817 B
BR 8705707	A	19880531					198827
JP 63133124	A	19880604	JP 87261524	A	19871016		198828
US 4803536	A	19890207	US 86922603	A	19861024		198908
CN 8707179	A	19880504					198924
CA 1310060	C	19921110	CA 545137	A	19870824	H01L-023/60	199251

Priority Applications (No Type Date): US 86922603 A 19861024

Cited Patents: 2.Intl.Ref; A3...8838; EP 103523; EP 139764; EP 172015; EP 68844; JP 58158953; JP 59208877; No-SR.Pub; US 4584592

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
EP 265290	A	E	9			

Designated States (Regional): DE FR GB

US 4803536	A	8
------------	---	---

Abstract (Basic): EP 265290 A

The transducer array (32) includes a substrate (34) on which transducer elements (34) are formed and a thin film addressing circuit (10) associated with each transducer element, each circuit including at least one thin film transistor. The protection network includes resistors (30) connected to the addressing circuits for providing current leakage paths to equalise the potential on the elements of the array during an electrostatic discharge to any element of the array.

Each resistor is pref. provided between the gate of this film transistor of the associated addressing circuit and one or both of the

transistors other two terminals.

ADVANTAGE - No effect on normal operation.

Title Terms: ELECTROSTATIC; DISCHARGE; PROTECT; NETWORK; TRANSDUCER;
ARRAY; RESISTOR; CONNECT; TRANSDUCER; ADDRESS; CIRCUIT; EQUAL;
POTENTIAL; ARRAY; ELECTROSTATIC; DISCHARGE; ELEMENT

Derwent Class: P81; P85; U13; U14

International Patent Class (Main): H01L-023/60

International Patent Class (Additional): G02F-001/13; G09G-003/36;

H01L-023/56; H01L-027/02; H01L-027/13; H01L-029/78; H01L-045/00;

H02H-009/02; H03H-007/00; H05F-003/00

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02516224

DISCHARGE PROTECTING CIRCUIT NETWORK FOR TRANSDUCER ARRAY

PUB. NO.: 63-133124 [JP 63133124 A]

PUBLISHED: June 04, 1988 (19880604)

INVENTOR(s): SHIN CHIEN TEYUAN

APPLICANT(s): XEROX CORP [111440] (A Non-Japanese Company or Corporation),
US (United States of America)

APPL. NO.: 62-261524 [JP 87261524]

FILED: October 16, 1987 (19871016)

PRIORITY: 7-922,603 [US 922603-1986], US (United States of America),
October 24, 1986 (19861024)

INTL CLASS: [4] G02F-001/133; G02F-001/133; G09G-003/36; H01L-027/12;
H01L-029/78; H02H-009/02

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components); 43.3 (ELECTRIC POWER
-- Transmission & Distribution); 44.9 (COMMUNICATION --
Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -
Metal Oxide Semiconductors, MOS)

⑤ 日本国特許庁(JP)

⑥ 特許出願公開

⑦ 公開特許公報(A)

昭63-133124

⑧ Int. Cl. ⁴	識別記号	庁内整理番号	⑨ 公開 昭和63年(1988)6月4日
G 02 F 1/133	3 2 7	7370-2H	
	3 3 0	Z-7370-2H	
G 09 G 3/36		8621-5C	
H 01 L 27/12		A-7514-5F	
29/78	3 1 1	K-8422-5F	
		A-8422-5F	
H 02 H 9/02		Z-7337-5G	審査請求 未請求 発明の数 3 (全8頁)

⑩ 発明の名称 トランスジューサ・アレー用の放電保護回路網

⑪ 特 願 昭62-261524

⑫ 出 願 昭62(1987)10月16日

優先権主張 ⑬ 1986年10月24日 ⑭ 米国(U S) ⑮ 922603

⑯ 発 明 者 シン チェン テュア アメリカ合衆国 カリフォルニア州 94303 パロ アル
ン ト チヤンニング アベニュー 1829⑰ 出 願 人 ゼロックス コーポレ アメリカ合衆国 ニューヨーク州 14644 ロチエスター
ーション ゼロックス スクエア (香地なし)

⑱ 代 理 人 弁理士 中 村 稔 外4名

明 細 書

1. 発明の名称 トランスジューサ・アレー用
の放電保護回路網

2. 特許請求の範囲

(1) 複数のトランスジューサ・エレメントと、
前記各トランスジューサ・エレメントに結合さ
れ前記トランスジューサ・エレメントの状態を
変更する導電アドレッシング回路とが設けられ
た基板を有し、前記各アドレッシング回路は、
互いに隣接において半導体層に接して配置され
たソース端子電極とドレン端子電極、および前
記半導体層からゲート誘電体によって隔てられ、
前記ソース端子電極から前記ドレン端子電極へ
の電流を前記半導体層を介して制御するように
配設されたゲート電極を持つ少なくとも1個の
薄膜トランジスタを有する形式の大容量トラ
ンスジューサ・アレー用の放電保護回路網であ
って、

前記アドレッシング回路に接続され、前記薄
膜トランジスタの正常な動作に影響を及ぼすこ

となく、静電気の放電が起きたとき、すべての
前記ゲート誘電体の電位を等化する電圧漏れ通
路となる抵抗器手段を備えていることを特徴と
する放電保護回路網。

- (2) 前記抵抗器手段は、前記各ゲート電極と前
記薄膜トランジスタの少なくとも1つの閥電場
子電極との間に接続されていることを特徴とす
る特許請求の範囲第1項記載の放電保護回路網。
- (3) 前記抵抗器手段は、前記ゲートと前記薄膜
トランジスタの前記ソース端子電極および前記
ドレン端子電極の双方に接続されていることを
特徴とする特許請求の範囲第2項記載の放電保
護回路網。
- (4) 前記トランスジューサ・アレーは、前記ト
ランスジューサ・エレメントの状態を制御する
前記アドレッシング回路に接続され、外部信号
を受け取る複数の入力接触パッドを備えており、
前記抵抗器手段は、前記入力接触パッドのそれ
ぞれを連結していることを特徴とする特許請求
の範囲第1項記載の放電保護回路網。

特開昭63-133124(2)

- (5) 電気抵抗ストリッパが、すべての前記入力接触パッドを横断して伸びており、前記抵抗器手段は、前記電気抵抗ストリッパの接触パッド間部分から成ることを特徴とする特許請求の範囲第4項記載の放電保護回路網。
- (6) 前記薄膜トランジスタは、非晶質シリコンで作られ、前記抵抗器手段は、 $n+$ 非晶質シリコンで作られていることを特徴とする特許請求の範囲第5項記載の放電保護回路網。
- (7) 前記トランジューサ・エレメントは、一次元に延びており、前記基板の一方の縁に沿って設けられたマーキング電極であることを特徴とする特許請求の範囲第1項または第5項記載の放電保護回路網。
- (8) 前記トランジューサ・エレメントは、二次元に延びており、前記基板の表面に直交して設けられたディスプレイ電極であることを特徴とする特許請求の範囲第1項または第5項記載の放電保護回路網。
- (9) 複数のトランジューサ・エレメントと、

前記各トランジューサ・エレメントに結合され前記トランジューサ・エレメントの状態を変更する、少なくとも1個の薄膜トランジスタを有する薄膜アドレッシング回路と、前記アドレッシング回路に接続され、外部駆動回路から信号を受け取る複数の入力接触パッドとが設けられた基板を有し、前記外部駆動回路によって駆動される形式の大面积トランジューサ・アレー用の放電保護回路網であって、

前記入力接触パッドに接続され、前記アレーのどれかのエレメントへ放電が起きたとき、前記アレーのすべてのエレメントの電位を等化する電流流れ通路となる抵抗器手段を備え、前記抵抗器手段のオーム値は、少なくとも、前記入力接触パッドに接続された前記外部駆動回路の出力インピーダンスより大きいことを特徴とする放電保護回路網。

- (10) 複数のトランジューサ・エレメントと、前記各トランジューサ・エレメントに結合され前記トランジューサ・エレメントの状態を

-3-

変更する、少なくとも1個の薄膜トランジスタを有する薄膜アドレッシング回路とが設けられた基板を有する形式の大面积トランジューサ・アレー用の放電保護回路網であって、

前記アドレッシング回路に接続され、前記アレーのどれかのエレメントへ放電が起きたとき、前記アレーのすべてのエレメントの電位を等化する電流流れ通路となる抵抗器手段を備えていることを特徴とする放電保護回路網。

-5-

-4-

3. 発明の詳細な説明

産業上の利用分野

本発明は、一般には薄膜トランジスタ回路によって制御される大面积トランジューサ・アレーを、静電気の放電によって起きる望ましくない高電圧効果から保護する装置、より詳細には放電が起きたときトランジューサ・アレーのすべてのエレメントの電位を等化するための装置に関するものである。

発明が解決しようとする問題点

エレクトロニクスの分野においては、静電気によって IC 素子が重大な損傷を受ける可能性のあることは、よく知られている。電荷の発生は、物体内の電子の転移(分断)またはある物体から別の物体への電子の転移(導電帯電)で生じ、通常は物体の相互作用による。電荷の量は、主として、物体を構成している物質の大きさ、形状、組成、電気的性質によって決まる。製造工場において直面する静電荷の主な発生源は、基本的に人間と絶縁体との相互作用である。一般に、カーペットや

-6-

特開2003-133124(9)

ビニール床の上を歩いたり、いろいろな素材を手で握ったり、こすったり、磨いたりすると、帯電荷が発生し、それが転移して、その人間を帯電させる。帯電した人間が、敏感な電子部品を手で握ったり、または近づくくと、接触による直接放電、または帯電した人間を取り囲んでいる静電界の影響を受けて、部品が故障する可能性がある。典型的な製造工場においては、無防護の作業員と電子部品との間に、15,000 V の電圧が発生するのは、それほど珍しいことではない。

一般に、電圧に敏感な部品は、絶縁層の絶縁破壊のため故障する。トランジスタ (MOSFET または TFT) において、絶縁破壊は、通常、ゲート誘電体を融えて生じる。基板上の電子数を増すために、主サイズを縮小すると、トランジスタは、より小さい放電でも損傷を受けやすくなる。これらの放電により、破局的な損傷を受けたり、あるいはトランジスタの動作特性が仕様値から変化することがある。絶縁層力を減えると、絶縁層に突放電現象が生じ、低抵抗短絡状態になる。帯電荷の

存在によって生じたゲート誘電体の高電位差は、電荷を誘電体内に捕そくし、かつゲートから妥当なオベレーション電界を逃へいする。

これらの高電圧効果からトランジスタのゲート誘電体を保護するために、これまで数多くの放電保護回路が開発されている。これらの回路は、通常、入力接触パッドに直接接続され、素子の電気的性質に干渉せず、高電圧パルスを臨界破壊値以下の値まで切り下げる作用をする。従来、これらの保護回路は、ダイオードその他のエレメントを含んでおり、それらに対して IC チップの最上の場所を割り当てなければならぬ。

本発明の第1の目的は、各トランスジューサに、少なくとも1個の薄膜トランジスタを含むアドレス回路が結合されている形式の大規模薄膜トランスジューサ・アレー用の簡単に安価な放電保護回路を提供することである。

本発明の第2の目的は、スプリアスな放電に応じてトランスジューサ・アレーのすべてのエレメントの電位を等化する電流流れ回路を提供するこ

-7-

とである。

問題を解決するための手段

これらの目的は、1つの実施形態として、基板の上に、複数のトランスジューサ・エレメントと、トランスジューサ・エレメントの状態を変更するアドレッシング回路とが設けられている大規模トランスジューサ・アレーを提供することで達成することができる。このアレーの各アドレッシング回路は、少なくとも1個の薄膜トランジスタを有し、放電が発生したときトランジスタのゲート電極と他の2つの端子との間の電位を等化する電流流れ回路となる電気抵抗回路が、ゲート電極と他の2つの端子の一方または両方の間に設けられている。電気抵抗回路のオーム値は、ゲート電極と他の2つの端子間の流れ電流が薄膜トランジスタの正常な動作に影響を及ぼさないように、十分に大きな値が選ばれる。

本発明の利点は、図面を参照し、以下に述べる詳細な説明を読まれば理解することができよう。

-9-

-8-

実施例

第1図に、板状形構造と呼ばれる周知の非晶質シリコン (a-Si:H) 薄膜トランジスタ (TFT: thin film transistor) 10を示す。この薄膜トランジスタ10は、ガラス、セラミック、または非晶質シリコン TFT 処理温度範囲 (<350°C) において、適度な平滑度と平面度を保つ他の適当な絶縁材料で作られた基板12、その基板の上に置かれた、Cr、NiCr、その他の適当な材料の層で作られた、一般に厚さが 500 ~ 1000 オングストロームのゲート電極14、そのゲート電極の上に置かれた、一般に厚さが数千オングストロームの窒化シリコン層のゲート誘電体16、厚さが数百から数千オングストロームの a-Si:H 電荷輸送層18、薄い n+ a-Si:H 層20と、厚さが約1ミクロンの Al 接触層22と薄い a-Si:H 層20とで作られたソース端子電極24とドレン端子電極26、パッシベーション用チャネル領域内の a-Si:H 層の上に形成された第2の窒化シリコン層28、で構成されている。ソース端子電極24とドレン端子電極26の間と同様に、ト

-10-

特開昭63-133124(4)

ランジスタのゲートが電源に接続されていないとき、すなわちゲート電極が浮動しているときは、 p-Si 半導体層18を通る電流漏れ通路が存在する。したがって、ソース電極またはドレン電極のどちらかへ放電があると、その電流漏れ通路は、電荷が他の電極へ移動することを許すので、それらの電位が等化される。実際には、電流がゲート誘電体を越えて流れることができないから、ゲート電極へ放電が起きると、大量の電荷がゲート電極に蓄積され、この結果、ゲート誘電体をはさんでソース電極とドレン電極のどちらか一方または両方との間に非常に大きな電位差が発生する。これは、特に、ゲート電極が浮動していて、蓄積された静電荷をドレンすることができない場合にいえる。そのとき、ゲート誘電体の両側に生じた非常に大きな電位差によって、前に述べたような損傷が生じることがある。

静電気の放電による第10図トランジスタ10の損傷をできるかぎり小さくするために、本発明では、ゲート14と、ソース24および(または)ドレン28

とを抵抗器30で接続する高抵抗電圧通路を設けている。第2(a)図、第2(b)図、および第2(c)図に、その代替実施形態を示す。これらの電圧通路は、ゲート誘電体16の両側の電位を等化することができるが、図示した3つの態様は、いずれの場合も、抵抗器のオーム値を慎重に選定しなければならない。低過ぎるオーム値を選定すると、対の抵抗器(第2(a)図)は、半導体層をバイパスして、TFTの正常な動作を妨げることがある。代わりに、オーム値が高過ぎると、抵抗器は、十分な速さで静電荷を消散させることができず、ゲート誘電体に対する損傷を防止することができない。一般に、抵抗器のオーム値は、抵抗器を通る漏れ電流によってトランスジューサ・エレメントの正常な動作に影響を受けないような値にすべきである。抵抗の適切な測定は、各利用面における個々の回路網によって決まる。

第3図に、米国特許第4,584,492号に開示されているマーキング・ヘッドの形の一次元トランスジューサ・アレー32を示す。このトランスジュー

-11-

-12-

サ・アレー32は、一般に、 $11" \times 3/4"$ の大面積ガラス基板34、その一方の縁に沿って配置されたマーキング電極38、および反対側の縁に沿って配置された入力接触パッド38(第3図には、簡単にバス・ラインで示してあるが、第4図には、正確に示してある)を有する。使用中は、外部 IC 駆動回路40からマーキング情報を受け取るため、接触パッドが接続される。多重アドレス構造を使用すれば、84のデータ・ライン42と、40のゲート・アドレス・ライン44から成る104の入力接触パッドによって2560個のマーキング電極を十分に制御することができる。各ゲート・アドレス・ライン44は、上に述べた形式の1セクション、84個のTFT 10を制御する。エレメントすなわちマーキング電極、TFT、アドレス・ライン、データ・ライン、入力接触パッドは、すべて、薄膜製造技術で絶縁基板上に集積化して作られる。

試験、分類、検査、こん包の段に手で扱われるときや印刷機に装着されるときのように、アレーが印刷機内で接続されずに、浮動しているとき、

静電荷を保有している身体にアレーが接触する可能性がある。思いかけず身体に蓄積された静電荷は、前に述べたように、アレーへ放電して1個またはそれ以上の薄膜トランジスタを破壊または損傷させることがある。

各TFTを保護するために、各ゲート電極14と各ソース電極24の間に抵抗器30が接続されている。トランスジューサ・アレーの機能および構成によっては、第2図に示すように、ゲート電極をドレン電極、またはソース電極とドレン電極の両方に接続することがより望ましいことがある。ここでは便宜上、トランスジューサ・エレメントに直結されているTFTの端子は、ドレン電極と識別してある。第3図のトランスジューサ・アレーの場合には、トランスジューサが、米国特許第4,584,592号に記載されているプリンタのマーキング電極38であり、各マーキング電極は、全動作時間の間に蓄積した電荷を保有しているはずであるから、ドレン電極とゲート電極との間に電流漏れ通路が生じないように注意しなければならない。したがっ

-13-

-14-

特開2000-133124(5)

て、ドレン電極とゲート電極を抵抗層30で遮断することは望ましくないであろう。

第3図の実施例は、TFTを静電気の放電による損傷から保護する作用は満足に行うが、最適な解決策ではない。その理由は、高解像度マーキング・ヘッド・アレーを製作するとき不足する貴重な最上の場所を抵抗層30が占めるからである。その上、マーキング・ヘッド・アレーは、より複雑な駆動回路、たとえば多価駆動作用を想定した駆動回路を備えているから、それらの駆動回路は、各マーキング電極に結合された複数のトランジスタを含んでおり、各トランジスタに抵抗層を付けることはやっかいである。

したがって、本発明を第3図の実施例のようにするのではなく、それよりもはるかに簡単な方法を第4図の実施例に示す。マーキング・ヘッド・アレー32の一方の端に沿って延びている全入力接触パッド38に、接触パッドの列と同じ広がりを持ち、それらに電気的に接続している電気抵抗ストリップ40を延着して、接触パッド間抵抗層を形成すべ

ば、同じ結果を得ることができる。これにより、全データ・ライン42と全ゲート・アドレス・ライン44とが接続されるので、1つまたはそれ以上のラインに接続している静電荷は、アレー全体にわたって迅速に漏出し、全エレメントの電位が等化される。

この構造の2つの主な利点は、第1に、電気抵抗ストリップ40は、 $n^+ a-Si:H$ ソース層とドレン層のデボジションと同時に作れることである。第2に、電気抵抗ストリップは、基板上の最上の場所でない所に置かれることである。もし所望ならば、他の層と一致させ、それらと同時にデボジットするために、電気抵抗ストリップを深くドーパした、またはドーパしない $a-Si:H$ で作ってもよいことを理解されたい。 $n^+ a-Si:H$ は、その抵抗率が約 $10^{-4} \Omega \cdot cm$ で、両層の形で $10^4 \sim 10^6 \Omega$ の抵抗層を作ることは容易であるから、特に効力がある。

実際の放電保護回路は、接触パッド間抵抗が $5 \sim 100 M\Omega$ の電気抵抗ストリップを用いて作

-15-

-16-

ることができる。接触パッド間抵抗層のオーム値は、望ましくない静電気の放電による損傷を防止するために迅速に電荷をリークさせることができる電圧に低く、かつ使用中、ある接触パッド上の電圧レベルがその隣の接触パッド上の電圧レベルによって影響されることがない程度に高い値に選定しなければならない。マーキング・ヘッド・アレーを駆動するために使用される外部ICチップの出力インピーダンス（数 $M\Omega$ 程度）はかなり低いから、開接する接触パッドを大きな接触パッド間抵抗層（数 $M\Omega$ 程度）で相互に連絡した場合、異なる電圧において、開接する接触パッドの間に重大な損傷はない。一般に、オーム値は、外部駆動回路の出力インピーダンスの約10倍以上にすべきである。

保護中の米国特許出願第801,472号(1998年5月9日出願、発明の名称「改良型書き込みヘッド」)は、各マーキング電極トランスジューサ・エレメントを、2個の厚膜トランジスタ(TFT)から成るアドレスシフト回路で制御するようにしたトランスジュー

サ・アレーを示している。本発明を、上記のトランスジューサ・アレーに利用すれば、2個のTFTを放電から保護することができる。

上記の保護回路と同じ手法を、第5(a)図および第5(b)図に示した二次元トランスジューサ・アレー48にも使用することができる。この実施例においては、ディスプレイ・パネル50の各画素の液晶物質の向きを制御するディスプレイ電極50の直交配列が、大きな絶縁基盤52の上に配設されている。各ディスプレイ電極の状態は、TFT 58によって制御される。各TFT 58は、そのソース電極62に接続されたデータ・ライン60を通じてデータ信号を受け取り、そのゲート電極66に接続されたゲート・ライン64を通じてアドレス信号を受け取る。ゲート電圧がトランジスタをターンオンすると、電流がソース電極62からドレン電極68へ流れ、さらにディスプレイ電極50へ流れる。全ソース・ライン(S_1 から S_n)および全ゲート・ライン(G_1 から G_n)は、適当な抵抗層、たとえば $n^+ a-Si:H$ 電気抵抗ストリップ70に接続されている。前に

-17-

-18-

特開2003-133124(6)

述べた抵抗値選択の原理により、保護回路網は、すべてのスイッチング・トランジスタのゲート誘電体を放電から保護する働きをし、それらの正常な動作には何の影響も及ぼさない。

以上説明した実施例は、例として記載しただけであり、細部構造および部品の組合せや配列について、特許請求の範囲に記載した発明の精神および範囲内で、数多くの変更を行いうることを理解されたい。

4. 図面の簡単な説明

第1図は、保護トランジスタの側面図、

第2(a)図は、ゲート電極が抵抗器によってソース端子電極とドレン端子電極の双方に接続されている薄膜トランジスタの略図、

第2(b)図は、ゲート電極が抵抗器によってドレン端子電極に接続されている薄膜トランジスタの略図、

第2(c)図は、ゲート電極が抵抗器によってソース端子電極に接続されている薄膜トランジスタの略図、

第3図は、大面積一次元トランスジューサ・アレーについての本発明の1つの実施例の略図、

第4図は、大面積一次元トランスジューサ・アレーについての本発明のもう1つの実施例の略図、

第5(a)図は、大面積二次元トランスジューサ・アレーについての本発明の実施例の略図、

第5(b)図は、第5(a)図のトランスジューサ・アレーによって制御される液晶ディスプレイの断面図である。

符号の説明

10…薄膜トランジスタ (TFT)、

12…基板、

14…ゲート電極、

16…ゲート誘電体、

18…電荷輸送層、

20… $a-Si:H$ 層、

22…Al接触層、

24…ソース、

26…ドレン、

28…酸化シリコン層、

30…抵抗器、

32…一次元トランスジューサ・アレー、

34…ガラス基板、

36…マーキング電極、

38…入力接触パッド、

40…外部 IC 駆動回路、

42…データ・ライン、

44…ゲート・ライン、

-19-

-20-

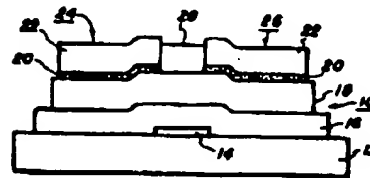


FIG. 1

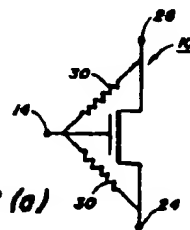


FIG. 2 (a)

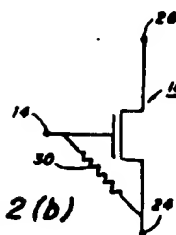


FIG. 2 (b)

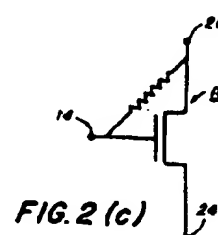


FIG. 2 (c)

-21-

46…電気抵抗ストリップ、

48…二次元トランスジューサ・アレー、

50…ディスプレイ電極、52…絶縁基板、

56…ディスプレイ・パネル、

58…TFT、

60…データ・ライン、

62…ソース電極、

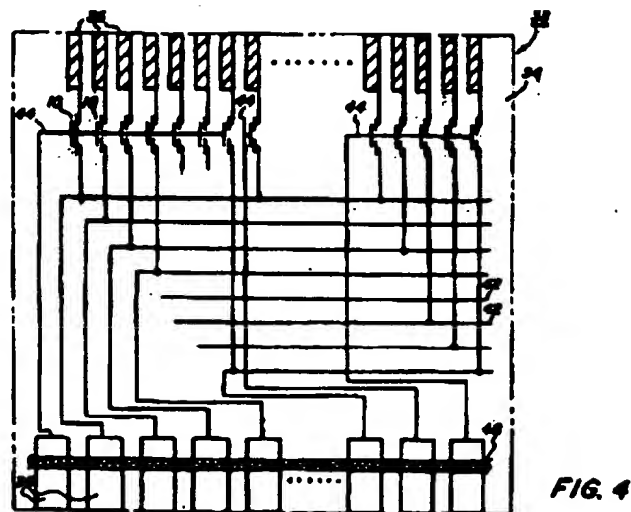
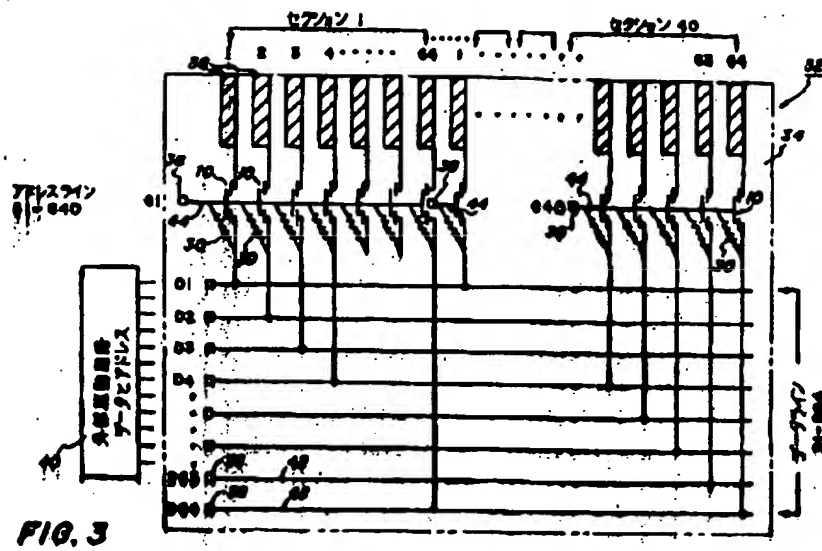
64…ゲート・ライン、

66…ゲート電極、

68…ドレン電極、

70…電気抵抗ストリップ、

特開2003-133124 (7)



特開昭63-133124 (B)

